

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11025067 A**

(43) Date of publication of application: 29.01.99

JC903 U.S. PTO
10/053487
11/02/01

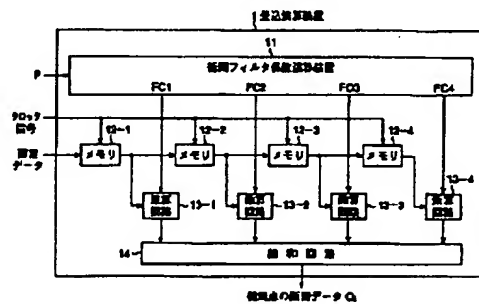
(51) Int. Cl.

G06F 17/10**G06T 3/40****G06T 5/20****H03H 17/00**(21) Application number: **09179325**(22) Date of filing: **04.07.97**(71) Applicant: **SONY CORP**(72) Inventor: **IWASE SEIICHIRO
KANO MAMORU****(54) FILTER ARITHMETIC UNIT AND ITS METHOD****(57) Abstract:**

PROBLEM TO BE SOLVED: To reduce the scale of hardware or software for executing operation by reducing the frequency of operation for calculating an interpolation filter coefficient by a cubic approximation method.

SOLUTION: When a phase P is inputted to an interpolation filter coefficient arithmetic unit 11, interpolation filter coefficients FC1 to FC4 are calculated from the inputted phase P by software at real time. Multipliers 13-1 to 13-4 respectively multiply corresponding coefficients FC1 to FC4 by pixel data supplied from respective memories 12-1 to 12-4. A summing circuit 14 adds respective outputs from the multipliers 13-1 to 13-4 and outputs pixel data Q of an interpolation point.

COPYRIGHT: (C)1999,JPO



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-25067

(43)公開日 平成11年(1999)1月29日

(51)Int.Cl.⁴

識別記号

F I

G 0 6 F 17/10

G 0 6 F 15/31

D

G 0 6 T 3/40

H 0 3 H 17/00

6 2 1 F

5/20

G 0 6 F 15/66

3 5 5 C

H 0 3 H 17/00

6 2 1

15/68

4 0 0 J

審査請求 未請求 請求項の数5 O L (全 9 頁)

(21)出願番号

特願平9-179325

(22)出願日

平成9年(1997)7月4日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 岩瀬 清一郎

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

(72)発明者 加納 護

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

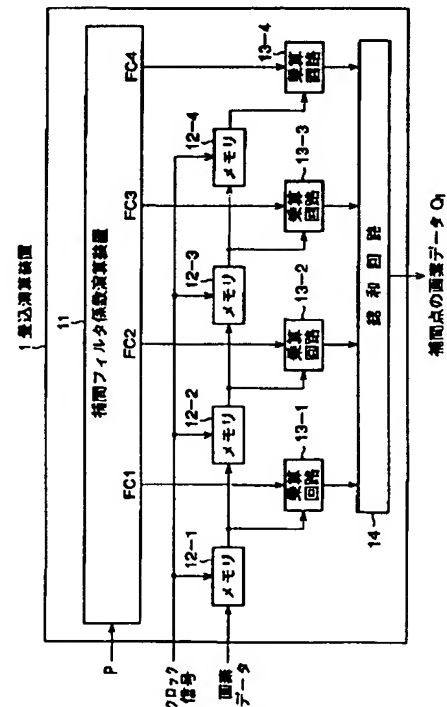
(74)代理人 弁理士 稲本 義雄

(54)【発明の名称】 フィルタ演算装置および方法

(57)【要約】

【課題】 キュービック近似法において、補間フィルタ係数を算出する演算の回数を減少させ、演算を行うハードウェア、またはソフトウェアの規模を小さくする。

【解決手段】 補間フィルタ係数演算装置11に位相Pが入力されると、入力された位相Pから、ソフトウェアによりFC1乃至FC4がリアルタイムで演算される。乗算回路13-1乃至13-4は、この係数と、メモリ12-1から12-4から供給される供給される画素データを乗算する。総和回路14は乗算回路13-1乃至13-4の出力を加算して、補間点の画素データQを出力する。



【特許請求の範囲】

【請求項1】 入力された位相データに対応するフィルタ係数を演算により求める演算手段と、
入力されたデータを記憶する記憶手段と、
前記記憶手段に記憶されたデータと、前記演算手段により演算された前記フィルタ係数とを乗算する乗算手段と、
前記乗算手段の出力を加算する加算手段とを備えることを特徴とするフィルタ演算装置。

【請求項2】 前記演算手段は、
所定の関数に対する近似関数を、所定の共通項で整理した関数に基づいて、前記位相データを乗算する位相データ乗算手段と、
前記近似関数を、所定の共通項で整理した前記関数に基づいて、前記位相データ、または前記位相データ乗算手段の出力を加算する位相データ加算手段とを備えることを特徴とする請求項1に記載のフィルタ演算装置。

【請求項3】 前記演算手段の位相データ演算手段と位相データ加算手段は、ソフトウェアプログラムで構成されていることを特徴とする請求項2に記載のフィルタ演算装置。

【請求項4】 前記近似関数は、キュービック近似法に基づく関数であることを特徴とする請求項1に記載のフィルタ演算装置。

【請求項5】 入力された位相データに対応するフィルタ係数を演算により求める演算ステップと、
入力されたデータを記憶する記憶ステップと、
前記記憶ステップに記憶されたデータと、前記演算ステップにより演算された前記フィルタ係数とを乗算する乗算ステップと、

*30

$$f1(x)=1$$

$$f1(x)=0$$

【0006】

$$f2(x)=1-|x|$$

$$f2(x)=0$$

【0007】

$$f3(x) = |x|^3 - 2|x|^2 + 1$$

$$f3(x) = -|x|^3 + 5|x|^2 - 8|x| + 4$$

$$f3(x)=0$$

【0008】なお、図8乃至図11の横軸は、原画像の画素の間隔で正規化している。1つの補間点の画素データを演算するために、最近傍近似法では1画素、双一次近似法では2画素、またキュービック近似法では補間点近傍の4画素の原画像画素データを標本として必要とする。

【0009】

【発明が解決しようとする課題】画像の拡大、縮小、または画素数を変換する補間近似には、双一次近似法が使われることが多かった。双一次近似法では、補間フィルタ係数が簡単に演算できるが、標本を2画素しか使用し

* 前記乗算ステップの出力を加算する加算ステップとを備えることを特徴とするフィルタ演算方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、フィルタ演算装置および方法に関し、特に、画像の拡大、縮小、または画素数の変換を目的として補間演算を行う場合、補間フィルタ係数を求める演算を簡略化することにより、演算を行うハードウェア、またはソフトウェアの規模を小さくすることができるようにしたフィルタ演算装置および方法に関する。

【0002】

【従来の技術】画像の拡大、縮小、または画素数の変換は、原画像の画素が存在していない画素間の画素データを求める補間近似を行うことにより実現される。

【0003】補間近似とは、補間関数の畳込演算を実施することである。理論上理想的な補間近似は、標本化定理によれば、図8に示すsinc関数、 $f(x)=\text{sinc}(x)=\sin(x)/x$ を補間関数として、 x がマイナス無限大からプラス無限大までの区間で畳込演算を行うことであるが、実際にはこの計算は不可能である。従って、補間近似を行うには、sinc関数を他の関数で近似し、有限区間で畳込演算を行う必要がある。

【0004】sinc関数を他の関数で近似するには、図9に示す最近傍近似法、図10に示す双一次近似法、または図11に示すキュービック近似法が一般的に用いられる。各近似法の補間近似関数は、それぞれ、次に示すように、 $f1(x)$ 、 $f2(x)$ 、または $f3(x)$ と表わされる。

【0005】

$$|x| \leq 1/2$$

$$|x| > 1/2$$

$$|x| \leq 1$$

$$|x| > 1$$

$$|x| \leq 1$$

$$1 < |x| \leq 2$$

$$|x| > 2$$

ていないために、画像が不鮮明で画質が悪くなる課題があった。

【0010】そこで、高画質な変換画像を実現するために、標本を4画素使用して補間するキュービック近似法の利用が考えられた。しかしながら、画像の拡大や縮小或いは画素数変換では、補間フィルタ係数を画素毎に頻繁に切り替える必要があり、補間近似関数が3次式であることから、補間フィルタ係数をリアルタイムで演算することが困難であると考えられていた。従って、自在な比率の変換を実現するためには、比率に応じた多数の補間フィルタ係数を記憶する記憶部品を用意する必要があ

り、演算毎に記憶部品の中から補間フィルタ係数を選択し、転送する等、処理が複雑となる。従って、キュービック近似法は双一次近似法と比較して、演算を行うハードウェア、またはソフトウェアの規模が大きくなる課題があった。

【0011】本発明はこのような状況に鑑みてなされたものであり、キュービック近似法を用いて演算を行うハードウェア、またはソフトウェアの規模を小さくすることができるようになるものである。

【0012】

【課題を解決するための手段】請求項1に記載のフィルタ演算装置は、入力された位相データに対応するフィルタ係数を演算により求める演算手段と、入力されたデータを記憶する記憶手段と、記憶手段に記憶されたデータと演算手段により演算されたフィルタ係数とを乗算する乗算手段と、乗算手段の出力を加算する加算手段とを備えることを特徴とする。

【0013】請求項5に記載のフィルタ演算方法は、入力された位相データに対応するフィルタ係数を演算により求める演算ステップと、入力されたデータを記憶する記憶ステップと、記憶ステップに記憶されたデータと演算ステップにより演算されたフィルタ係数とを乗算する乗算ステップと、乗算ステップの出力を加算する加算ステップとを備えることを特徴とする。

【0014】請求項1に記載のフィルタ演算装置においては、演算手段が、入力された位相データに対応するフィルタ係数を演算により求め、記憶手段が、入力されたデータを記憶し、乗算手段が、記憶手段に記憶されたデータと演算手段により演算されたフィルタ係数とを乗算し、加算手段が、乗算手段の出力を加算する。

【0015】請求項5に記載のフィルタ演算方法においては、演算ステップが、入力された位相データに対応するフィルタ係数を演算により求め、記憶ステップが、入力されたデータを記憶し、乗算ステップが、記憶ステップに記憶されたデータと演算ステップにより演算されたフィルタ係数とを乗算し、加算ステップが、乗算ステップの出力を加算する。

【0016】

【発明の実施の形態】以下に本発明の実施の形態を説明するが、特許請求の範囲に記載の発明の各手段と以下の実施の形態との対応関係を明らかにするために、各手段の後の括弧内に、対応する実施の形態（但し一例）を付加して本発明の特徴を記述すると、次のようになる。

【0017】すなわち、請求項1に記載のフィルタ演算装置は、入力された位相データに対応するフィルタ係数を演算により求める演算手段（例えば、図1の補間フィルタ係数演算装置11）と、入力されたデータを記憶する記憶手段（例えば、図1のメモリ12）と、記憶手段に記憶されたデータと演算手段により演算されたフィルタ係数とを乗算する乗算手段（例えば、図1の乗算回路

13）と、乗算手段の出力を加算する加算手段（例えば、図1の総和回路14）とを備えることを特徴とする。

【0018】但し勿論この記載は、各手段を記載したものに限定することを意味するものではない。

【0019】はじめに、本発明を適用した畳込演算装置1の構成について、図1を参照して説明する。この畳込演算装置1は、補間近似をキュービック近似法により実現するものである。

10 【0020】補間フィルタ係数演算装置11は、外部の装置（図示せず）より入力される位相Pに対応する4個の補間フィルタ係数（FC1乃至4）を演算し、4個の補間フィルタ係数をそれぞれ乗算回路13-1乃至13-4（以下、乗算回路13-1乃至13-4を個々に区別する必要がない場合、単に乗算回路13と記述する）に出力するようになされている。縦属に接続されたメモリ或いはレジスタ12-1乃至12-4（以下、メモリ12-1乃至12-4を個々に区別する必要がない場合、単にメモリ12と記述する）は、シフトレジスタとして機能し、クロック信号により制御される。

20 【0021】メモリ或いはレジスタ12-1乃至12-4は、それぞれに入力される水平走査されたワード単位の時系列画素データを記憶し、後段に順次転送するとともに、乗算回路13-1乃至13-4に出力するようになされている。乗算回路13-1乃至13-4は、入力された2個のデータを乗算して総和回路14に出力し、総和回路14は、入力された4個のデータを加算するようになされている。

30 【0022】次に、畳込演算装置1の動作について、図2と図3を参照して説明する。図2は、メモリ12-1乃至12-4がシフトレジスタとして機能する動作を示しており、サイクルが、クロック信号によって進められる度に、メモリ12-1乃至12-4は、記憶しているデータを1つ後段にシフトする場合としない場合がある。すなわち、メモリ12-1ないし12-4はクロックに同期して、画素データ R_1 、 R_2 、 R_3 、…が順次入力される場合と入力およびシフトが停止する場合がある。なお、メモリ12-1乃至12-3に画素データが記憶されるサイクル4以降の動作が、図3のフローチャートに対応している。画素データ（例えば、 R_1 ）と補間点の画素データ（例えば、 Q_1 ）の位置関係は後述する。

50 【0023】ステップS31においてデータの入力とレジスタのシフトを行う必要があるか否か判断され、必要であればステップS32に進み、必要でなければステップS33に進む。ステップS32においては、画素データの入力とレジスタのシフトが行われる。このとき、メモリ12-1乃至12-4は、それまで記憶していた画素データを、それぞれ乗算回路13-1乃至13-4に出力する。ステップS33において、画像を変換する比

率に対応した位相Pが補間フィルタ演算装置11に入力される。ステップS34において、補間フィルタ係数演算装置11は、位相Pに対応する4個の補間フィルタ係数FC1乃至FC4を演算し、これを、ステップS35において、乗算回路13-1乃至13-4にそれぞれ出力する。ステップS36において、乗算回路13-1乃至13-4は、入力された補間フィルタ係数と画素データを乗算し、総和回路14に出力する。ステップS37において、総和回路14は、乗算回路13-1乃至13-4から出力された4個のデータを加算し、出力する。ステップS38において、画素データの終わりが判断され *

$$f3(x) = |x|^3 - 2|x|^2 + 1$$

$$f3(x) = -|x|^3 + 5|x|^2 - 8|x| + 4$$

$$f3(x) = 0$$

【0027】ここでは、図4を参照して、補間点の位相について説明する。図4において、横軸は水平方向の各画素の位置を表しており、原画像の画素の間隔で正規化している。図中、黒丸印は、原画像の画素の位置を表わし、左から R_{i-1} 、 R_i 、 R_{i+1} および R_{i+2} とする。 Q_i は補間する位置（補間点）を表わし、補間点を基準として左方向に最も近い画素 R_i から位相P（ $0 \leq P < 1$ ）だけ離れている。補間フィルタ係数FC4乃至FC1は、補間近似関数の中心を補間点に合わせたときの、補間点 Q_i の近傍の画素 R_{i-1} 、 R_i 、 R_{i+1} および R_{i+2} にそれぞれ対応する補間近似関数の値である。すなわち、画素 R_{i-1} に対応する補間フィルタ係数はFC4であり、画素 R_i に対応する補間フィルタ係数はFC3であり、画素 R_{i+1} に対応する補間フィルタ係数はFC2であり、さらに画素 R_{i+2} に対応する補間フィルタ係数はFC1である。

【0028】実際の演算に、(1)式と(2)式を用い 30
ると、1個の補間フィルタ係数を求める度に3次式の演算

$$FC4 = -(1+P)^3 + 5(1+P)^2 - 8(1+P) + 4 \\ = -P^3 + 2P^2 - P \quad \dots (4)$$

【0031】FC3を求めるには、 R_i と Q_i の距離 $x=P$ を ★ ★ (1)式に代入する。

$$FC3 = P^3 - 2P^2 + 1 \quad \dots (5)$$

【0032】FC2を求めるには、 R_{i+1} と Q_i の距離 $x=1-P$ ☆ ☆ Pを(1)式に代入する。

$$FC2 = (1-P)^3 - 2(1-P)^2 + 1 \\ = -P^3 + P^2 + P \quad \dots (6)$$

【0033】FC1を求めるには、 R_{i+2} と Q_i の距離 $x=2-P$ ◆ ◆ Pを(2)式に代入する。

$$FC1 = -(2-P)^3 + 5(2-P)^2 - 8(2-P) + 4 \\ = P^3 - P^2 \quad \dots (7)$$

【0034】(4)式乃至(7)式の演算を実現する演算装置5を図5に示す。この演算装置5は、入力された位相Pを乗算する乗算回路51-1、51-2、入力された2個のデータを加算する加算回路52-1乃至52-6、入力されたデータに1を加算する1の加算回路53、および入力されたデータに2を乗算する2の乗算回 *

$$FC4 = -P^3 + 2P^2 - P \\ = -[(P^3 - P^2) - P^2] + P$$

【0037】

る。このとき、画素データが終わりであれば補間処理は終了され、終わりでなければステップS31に戻り、同様の処理が繰り返される。

【0024】次に、補間フィルタ係数演算装置11の具体的構成について説明するが、その前に、キュービック近似法における補間フィルタ係数の計算方法について説明する。

【0025】キュービック近似法では、上述したように、以下の補間近似関数を使用する。

【0026】

$$|x| \leq 1 \quad \dots (1)$$

$$1 < |x| \leq 2 \quad \dots (2)$$

$$|x| > 2 \quad \dots (3)$$

※算が必要となり、キュービック近似法で必要な4つの補間フィルタ係数を全て求めるには、多くの演算を行う必要があることがわかる。例えば、(1)式を用いて1つの補間フィルタ係数を算出するには、3回の乗算と2回の加(減)算が必要である。また、(2)式を用いて1つの補間フィルタ係数を算出するには、4回の乗算と3回の加(減)算が必要である。結局、1つの補間点の画素データを得るため、4つの補間フィルタ係数を算出するには、乗算が14回、加(減)算が10回必要となる。

【0029】そこで、4個の補間フィルタ係数を算出する演算の回数を減らすために、距離xの関数である

(1)式と(2)式を、位相P（ $0 \leq P < 1$ ）の関数として書き換えると、以下の式になる。

【0030】FC4を求めるには、 R_{i-1} と Q_i の距離 $x=1+P$ を(2)式に代入する。

※路54の合計10個の回路で構成されており、演算は10回行われる。

【0035】さらに、演算の回数を減少させるため、(4)式乃至(7)式を、共通項（ $P^3 - P^2$ ）に注目して書き換えると以下の式になる。

【0036】

$$\dots (8)$$

$$\begin{aligned} & 7 \\ & FC3 = P^3 - 2P^2 + 1 \\ & = \{(P^3 - P^2) - P^2\} + 1 \end{aligned}$$

[0038]

$$\begin{aligned} & FC2 = -P^3 + P^2 + P \\ & = P - (P^3 - P^2) \end{aligned}$$

[0039]

$$FC1 = P^3 - P^2$$

... (9)

... (10)

... (11)

【0040】(8)式乃至(11)式の演算を実現する演算装置6を図6に示す。この演算装置6は、入力された位相Pを乗算する乗算回路61-1、61-2、入力された2個のデータを加算する加算回路62-1乃至62-4(以下、加算回路62-1乃至62-4を個々に区別する必要がない場合、単に加算回路62と記述する)、入力されたデータに1を加算する1の加算回路63、および入力されたデータの符号を反転する符号反転*

$$\begin{aligned} & FC4 = P^3 + 2P^2 - P \\ & = P\{P(1-P)\} - P(1-P) \end{aligned}$$

[0043]

$$\begin{aligned} & FC3 = P^3 - 2P^2 + 1 \\ & = \{1 + P(1-P)\} - [P + P\{P(1-P)\}] \end{aligned}$$

[0044]

$$\begin{aligned} & FC2 = -P^3 + P^2 + P \\ & = P + P\{P(1-P)\} \end{aligned}$$

[0045]

$$\begin{aligned} & FC1 = P^3 - P^2 \\ & = -P\{P(1-P)\} \end{aligned}$$

【0046】(12)式乃至(15)式の演算を実現する演算装置7を図7に示す。この演算装置7は、入力された2個のデータを乗算する乗算回路71-1、71-2(以下、乗算回路71-1、71-2を個々に区別する必要がない場合、単に乗算回路71と記述する)、入力された2個のデータを加算する加算回路72-1乃至72-3(以下、加算回路72-1乃至72-3を個々に区別する必要がない場合、単に加算回路72と記述する)、入力されたデータに1を加算する1の加算回路73、入力されたデータを1から減算する1からの減算回路74、および入力されたデータの符号を反転する符号反転回路75の合計8個の回路で構成されており、演算は8回行われる。演算装置7と演算装置6を比較すると、加算回路62が1個減少し、1からの減算回路74が増加している。

【0047】ここで、1からの減算について説明する。1からの減算が適用されるのは、共通項(1-P)の演算であり、Pは0から1の間の数であるので、(1-P)も0から1の間の数である。例えば、P=0.375とすると(1-P)は0.625であり、それぞれを2進数で表すとP=0.011、(1-P)=0.101となる。2進数0.101は、2進数0.011の、2の補数1.101の符号を表す最上位の桁を無視する

* 回路64の合計8個の回路で構成されており、演算は8回行われる。演算装置6は、演算装置5と比較して演算回路が2個減少している。

【0041】別の式変形として、(4)式乃至(7)式から、共通項(1-P)を括りだして書き換えると、以下の式になる。

[0042]

... (12)

... (13)

... (14)

... (15)

ことにより得られるので、通常の加(減)算に比較して簡単な処理である。

【0048】従って、補間フィルタ係数を求めるには、(12)式乃至(15)式を使う演算装置7が、最も効率的であり、規模が小さいことがわかる。その結果、任意の位相(比率)の補間フィルタ係数を、迅速に、リアルタイムでソフトウェアプログラムにより演算することが可能となる。よって、補間フィルタ係数演算装置11には、演算装置7を用いている。

【0049】補間フィルタ係数演算装置11の構成は、演算装置7の構成と全く同様であるので、以後、図7の演算装置7を補間フィルタ係数演算装置11と読み替える。

【0050】次に、補間フィルタ係数演算装置11の動作について説明する。補間フィルタ係数演算装置11に位相Pが入力されると、Pは1からの減算回路73に入力され、1からの減算回路73は、1-Pを出力する。出力された1-Pは、乗算回路71-1に入力され、乗算回路71-1は、Pと1-Pを乗算してP(1-P)を出力する。出力されたP(1-P)は、乗算回路71-2に入力され、乗算回路71-2は、PとP(1-P)を乗算してP{P(1-P)}を出力する。出力されたP{P(1-P)}は、符号反転回路75に入力さ

30

40

50

れ、符号反転回路75は、 $P\{P(1-P)\}$ の符号を反転して $-P\{P(1-P)\}$ をFC1として出力する。

【0051】乗算回路71-2から出力された $P\{P(1-P)\}$ は、加算回路72-1にされ、加算回路72-1は、 $P\{P(1-P)\}$ と P を加算して $P+P\{P(1-P)\}$ をFC2として出力する。

【0052】乗算回路71-1から出力された $P(1-P)$ は、1の加算回路74にされ、1の加算回路74は、 $P(1-P)$ に1を加算して、 $1+P(1-P)$ を出力する。出力された $1+P(1-P)$ は、加算回路72-2にされ、加算回路72-2は、 $1+P(1-P)$ から加算回路72-1から出力された $P+P\{P(1-P)\}$ を減算して $\{1+P(1-P)\}-[P+P\{P(1-P)\}]$ をFC3として出力する。

【0053】乗算回路71-1から出力された $P(1-P)$ と乗算回路71-2から出力された $P\{P(1-P)\}$ は、加算回路72-3にされ、加算回路72-3は、 $P\{P(1-P)\}$ から $P(1-P)$ を減算し、 $P\{P(1-P)\}-P(1-P)$ をFC4として出力する。

【0054】なお、メモリ12は、画像を水平方向に拡大、縮小するような場合、画素単位のメモリでよいが、垂直方向に拡大、縮小する場合には、水平走査期間に対応するメモリとする必要がある。

【0055】また、補間近似方法としては、キュービック近似法以外の方法を用いることもできる。さらに、本発明は、画素データを処理する場合に限らず、音響データ、音声データ、機械振動データを処理する場合にも適用することができる。

【0056】

【発明の効果】以上のように、請求項1に記載のフィルタ演算装置、および請求項5に記載のフィルタ演算方法によれば、位相データのを受け、された位相データに対応するフィルタ係数を演算により求めるように*

*したので、任意の位相のフィルタ係数を、規模の小さいハードウェア、またはソフトウェアで迅速に求めることができる。

【図面の簡単な説明】

【図1】畳込演算装置の構成を示すブロック図である。

【図2】図1の畳込演算装置の処理されるデータを説明する図である。

【図3】図1の畳込演算装置の動作を説明するフローチャートである。

【図4】補間点の位相を説明する図である。

【図5】図1の補間フィルタ係数演算装置の構成例を示すブロック図である。

【図6】図1の補間フィルタ係数演算装置の他の構成例を示すブロック図である。

【図7】図1の補間フィルタ係数演算装置のさらに他の構成例を示すブロック図である。

【図8】sinc関数を示す図である。

【図9】最近傍近似法での補間近似関数を示す図である。

【図10】双一次近似法での補間近似関数を示す図である。

【図11】キュービック近似法での補間近似関数を示す図である。

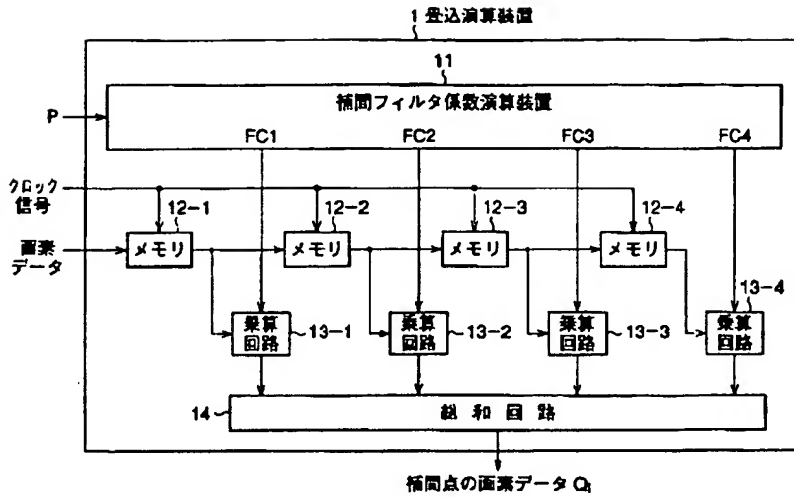
【符号の説明】

- 1 畳込演算装置, 5 演算装置, 6 演算装置,
7 演算装置, 11 補間フィルタ係数演算装置,
12 メモリ, 13 乗算回路, 14 総和回路,
51 乗算回路, 52 加算回路, 53 1の加算回路,
54 2の乗算回路, 61 乗算回路, 62 加算回路,
63 1の加算回路, 64 符号反転回路, 71 乗算回路,
72 加算回路, 73 1からの減算回路,
74 1の加算回路, 75 符号反転回路

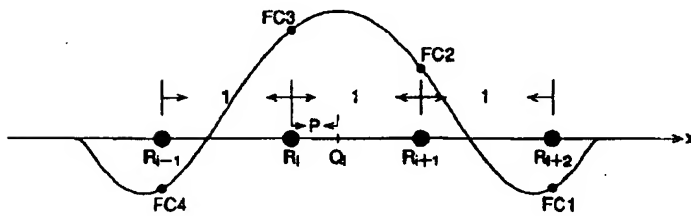
【図2】

サイクル	画素データ 入力	位相 P	クロック 信号	メモリ 12-1	メモリ 12-2	メモリ 12-3	メモリ 12-4	補間点の 画素データ出力
1	R ₁		H	R _{m0}	R _{m1}	R _{m2}	R _{m3}	
2	R ₂		H	R ₁	R _{m0}	R _{m1}	R _{m2}	
3	R ₃		H	R ₂	R ₁	R _{m0}	R _{m1}	
4	R ₄	P ₀	L	R ₃	R ₂	R ₁	R _{m0}	Q ₁
5	R ₄	P ₇	H	R ₃	R ₂	R ₁	R _{m0}	Q ₂
6	R ₅	P ₄	H	R ₄	R ₃	R ₂	R ₁	Q ₃
7	R ₆	P ₁	L	R ₅	R ₄	R ₃	R ₂	Q ₄
8	R ₆	P ₈	H	R ₆	R ₅	R ₄	R ₃	Q ₅
9	R ₇	P ₅	H	R ₆	R ₅	R ₄	R ₃	Q ₆
10	R ₈	P ₂	L	R ₇	R ₆	R ₅	R ₄	Q ₇
11	R ₈	P ₉	H	R ₇	R ₆	R ₅	R ₄	Q ₈
12	R ₉	P ₆	H	R ₈	R ₇	R ₆	R ₅	Q ₉
13	R ₁₀	P ₃	L	R ₉	R ₈	R ₇	R ₆	Q ₁₀
14	R ₁₀	P ₀	H	R ₉	R ₈	R ₇	R ₆	Q ₁₁

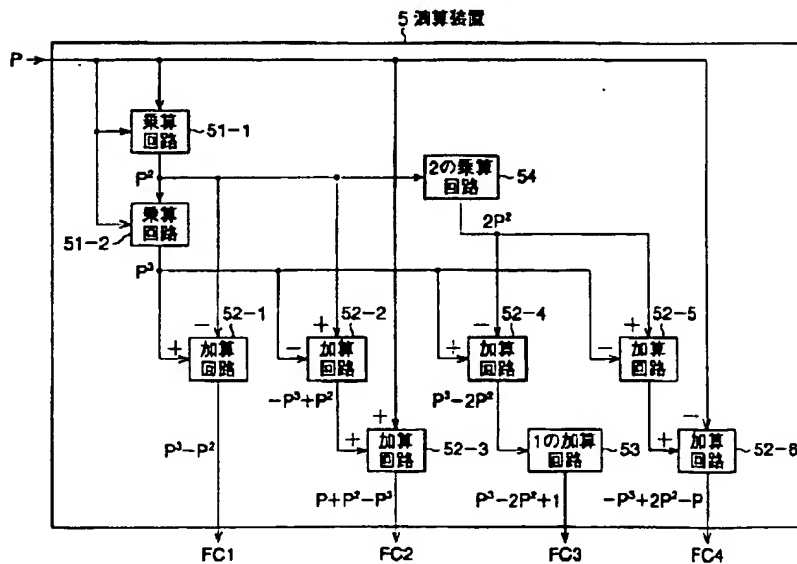
【図1】



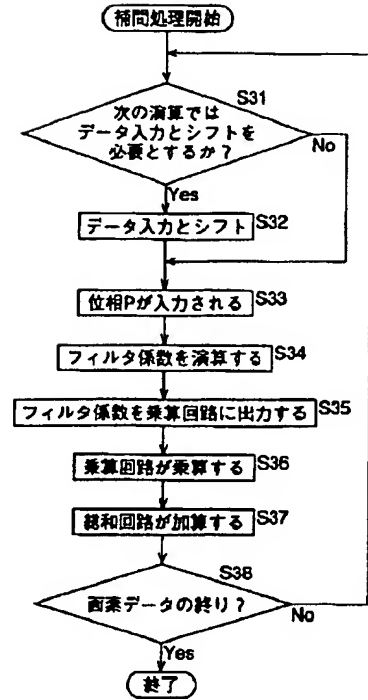
【図4】



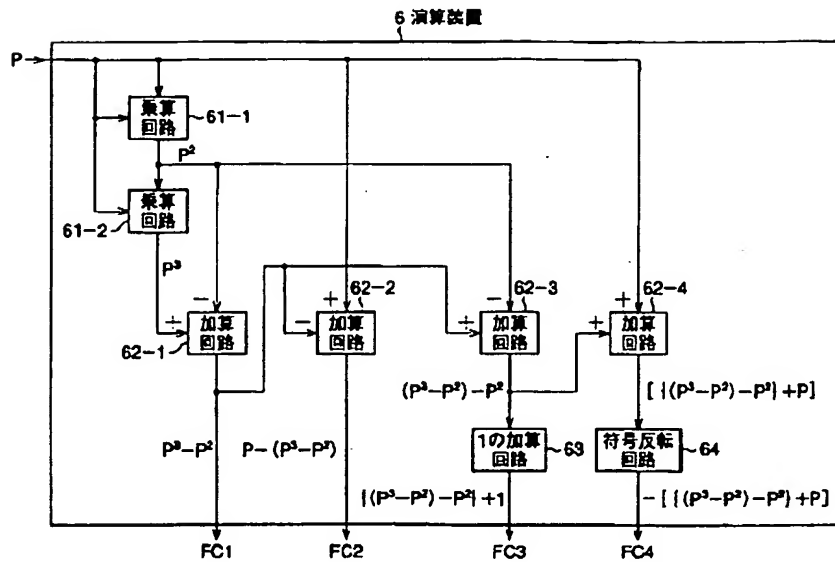
【図5】



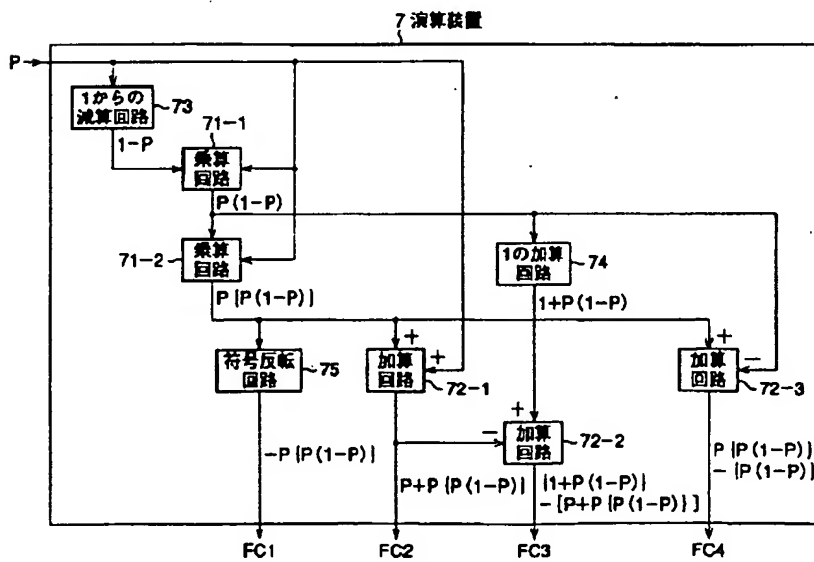
【図3】



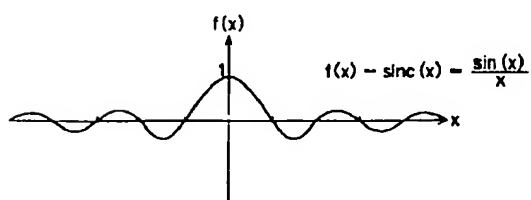
【図6】



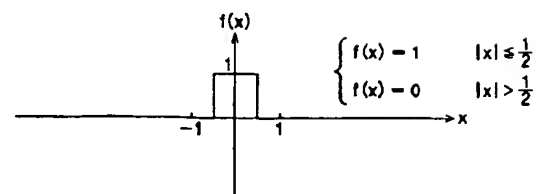
【図7】



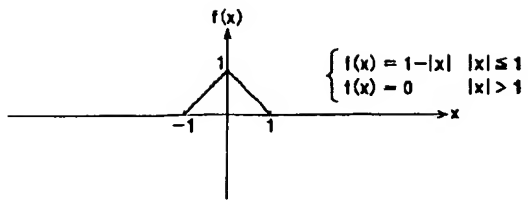
【図8】



【図9】



【図 1 0】



【図 1 1】

